

ŞEBEKE ETKİLEŞİMLİ EVİRİCİLER İÇİN FAZ KİLİTLEME DÖNGÜSÜ YÖNTEMLERİNİN PERFORMANSLARININ KARŞILAŞTIRILMASI

¹Fehmi SEVİLMİŞ, ²Hulusi KARACA

^{1,2}Selçuk Üniversitesi, Teknoloji Fakültesi, Elektrik-Elektronik Mühendisliği Bölümü, Kampüs-Konya,
TÜRKİYE

¹fehmisevilmis@selcuk.edu.tr, ²hkaraca@selcuk.edu.tr

(Geliş/Received: 17.01.2019; Kabul/Accepted in Revised Form: 29.03.2019)

ÖZ: Şebeke etkileşimli güç dönüştürücü uygulamalarında, şebeke senkronizasyonunun gerçekleştirilebilmesi için faz kilitleme döngüsü (PLL) yöntemleri oldukça önemlidir. Kullanılan PLL'nin performansı; gerilim dengesizliği, harmonikler, frekans ve faz değişimi vb. olumsuz durumlardan etkilenmemelidir. Üstelik bu olumsuz durumlarda, şebeke faz açısının ve temel şebeke frekansındaki pozitif sıralı bileşen geriliminin hızlı ve doğru bir şekilde belirlenmesi gerekir. Aksi durumda, şebeke etkileşimli dönüştürücü ile şebeke arasında senkronizasyon hataları meydana gelmektedir.

Bu makalede, farklı PLL yöntemlerinin MATLAB/Simulink'te benzetimi yapılmıştır. Dengesiz, harmonikli ve değişken frekanslı şebeke durumu gibi üç farklı şebeke koşulu altında PLL yöntemlerinin performansları karşılaştırmalı olarak sunulmuştur. Ayrıca, elde edilen sonuçlara dayanarak PLL yöntemlerinin artı ve eksi yönleri ortaya konulmuştur.

Anahtar kelimeler: Evirici, Faz Kilitleme Döngüsü(PLL), Senkronizasyon.

Performance Comparison of Phase Locked Loop Methods for Grid Interactive Inverters

ABSTRACT: In grid interactive power converter applications, phase locked loop (PLL) methods are very important to realize grid synchronization. The performance of PLL which is used should be affected by adverse conditions such as voltage unbalance, harmonics, frequency and phase changes. Furthermore, in these adverse conditions, the phase angle of grid voltages and positive sequence component of grid voltages in fundamental grid frequency are needed to determine quickly and accurately. Otherwise, synchronization errors occur between the grid interactive inverter and the grid.

In this paper, different PLL methods are simulated under MATLAB/Simulink. The performances of the PLL methods are comparatively presented under three different conditions such as unbalanced, harmonics and variable frequency grid. It has also put forward the positive and negative aspects of the PLL methods based on the obtained results.

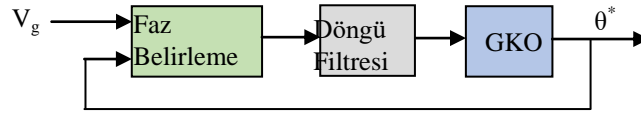
Keywords: Inverter, Phase Locked Loop (PLL), Synchronization.

GİRİŞ (INTRODUCTION)

Faz kilitleme döngüsü (Phaselockedloop, PLL) yöntemi ilk kez 1923 yılında Appleton tarafından ortaya atılmıştır (Appleton, 1923). Daha sonra 1932 yılında Bellescize, radyo sinyallerinin senkronizasyonu için PLL yöntemini kullanmıştır (Bellescize, 1932). 1970'li yıllara kadar PLL, uygulanmasının zorluğundan dolayı geniş bir kullanım alanı bulamamıştır. 1970'li yıllar ile birlikte tüm devre teknolojisinin hızlı gelişmesi sonucu PLL uygulamaları modern haberleşme sistemlerinde yaygın bir şekilde kullanılmaya başlanmıştır. Daha sonra PLL yöntemi, elektrik motorlarının hız kontrolü, kontaklı güç kaynakları gibi farklı endüstriyel alanlarda da kullanılmıştır (Blaabjerg ve diğ., 2006).

Günümüzde, PLL yöntemleri, şebeke etkileşimli eviricilerin şebeke senkronizasyonu için çok fazla kullanılmaktadır. Kullanılan PLL yöntemleri, evirici ile şebeke arasında hızlı ve hassas bir şekilde senkronizasyon sağlamaktadır. Şebeke gerilim dengesizliklerine, harmoniklere ve çeşitli bozucu etkilere karşı iyi bir tepkiye sahiptir (Blaabjerg ve diğ., 2006).

Şekil 1’de, PLL’nin temel blok yapısı verilmiştir. Bu yapı, geri beslemeli bir sistem olduğundan çıkış sinyalinin fazını, giriş sinyalinin fazına otomatik olarak senkronize eder. PLL yapısı, faz belirleme (FB), döngü filtresi (DF) ve gerilim-kontrollü osilatör (GKO) bloklarını içermektedir (Nicastri ve Nagliero, 2010).



Şekil 1. Temel PLL blok yapısı

Figure 1. Basic block structure of PLL

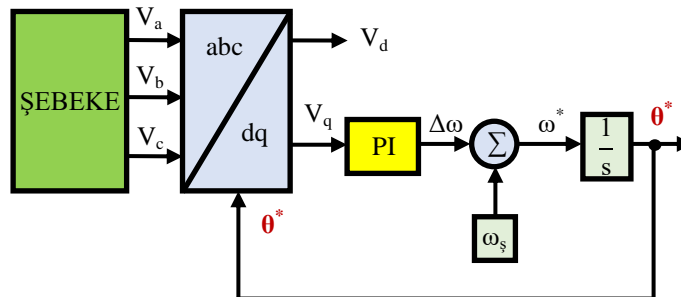
Giriş sinyalinin (V_g) faz açısı ile çıkış sinyalinin faz açısı arasındaki fark, FB bloğu yardımıyla tespit edilir. FB bloğu aynı zamanda uygun bir hata sinyali üretir (Karimi-Ghartemani ve diğ., 2004; Devi ve Kadam, 2015). Bu hata sinyali, döngü filtresine aktarılır. DF bloğu, gürültü ve yüksek frekanslı bileşenleri azaltmak ve sistemin kararlılığını sağlamak için alçak geçiren filtre özelliği gösterir ve bu blok tipik olarak birinci dereceden alçak geçiren filtre veya PI kontrolörden meydana gelir. Ayrıca, DF bloğu sistemin dinamiklerini belirler (Freijedo ve diğ., 2009; Amin ve Mohammed, 2010). DF bloğu çıkışındaki sinyal, gerilim-kontrollü osilatörü sürerek giriş sinyali ile aynı fazda olacak şekilde çıkış sinyali üretir. Böylece çıkış sinyali, giriş sinyalini takip etmiş olur (Teodorescu ve diğ., 2011; Aydemir, 2014).

Bu makale şu şekilde organize edilmiştir: Makalenin ikinci bölümünde, farklı PLL yöntemlerine yer verilmiştir ve her bir PLL yönteminin blok yapıları ele alınmıştır. Üçüncü bölümde, blok yapıları verilen PLL yöntemlerinin dengesiz, harmonikli ve değişken frekanslı şebeke koşulları altında MATLAB/Simulink’te benzetimi yapılmıştır ve performansları karşılaştırılmıştır. Son bölümde ise PLL yöntemlerinin artı ve eksi yönleri vurgulanmıştır.

FAZ KİLİTLEME DÖNGÜSÜ YÖNTEMLERİ (PHASE LOCKED LOOP METHODS)

SRF-PLL

Dönen eksen takımlı faz kilitleme döngüleri (SRF-PLL) üç fazlı sistemlerde sıkça kullanılmaktadır. Şekil 2’de SRF-PLL’nin blok yapısı görülmektedir.



Şekil 2. SRF-PLL’nin blok yapısı

Figure 2. The block structure of the SRF-PLL

SRF-PLL, şebeke geriliminin faz açısını (θ) anlık olarak takip etmek için geri beslemeli servo sistemi gibi çalışır. Bu sistemde 3-faz şebeke gerilimleri ölçülür. Ardından denklem (1)’de verilen Clarke dönüşüm matrisi yardımıyla ölçülen 3-faz şebeke gerilimleri, durağan eksen takımı değişkenlerine (V_α ve V_β) dönüştürülür. Daha sonra, denklem (2)’deki Park dönüşüm matrisi ile V_α ve V_β gerilimleri dönen

eksen takımı değişkenlerine (V_d ve V_q) çevrilir. abc/dq bloğu aynı zamanda FB bloğu gibi çalışmaktadır (Timbus ve diğ., 2005; Iov ve Blaabjerg, 2008; Sevilmiş ve Karaca, 2015).

$$\begin{bmatrix} V_\alpha \\ V_\beta \end{bmatrix} = \frac{2}{3} \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix} \begin{bmatrix} V_a \\ V_b \\ V_c \end{bmatrix} \quad (1)$$

$$\begin{bmatrix} V_d \\ V_q \end{bmatrix} = \begin{bmatrix} \cos(\theta^*) & \sin(\theta^*) \\ -\sin(\theta^*) & \cos(\theta^*) \end{bmatrix} \begin{bmatrix} V_\alpha \\ V_\beta \end{bmatrix} \quad (2)$$

SRF-PLL yönteminde V_d ve V_q gerilimleri, DC bileşenler olarak ortaya çıkmaktadır. Şebeke gerilimlerin dengeli olduğu, harmoniklerin veya bozunumların olmadığı ideal koşullarda tespit edilen faz açısı (θ^*), şebekenin faz açısına (θ) eşit olmaktadır. Denklem (3) ve (4)'ten görüldüğü gibi idealde V_q , sıfır iken V_d , şebeke geriliminin tepe değerine eşit olur. Denklemlerden de anlaşıldığı gibi V_q , şebekenin faz açısı hatası hakkında bilgi içerir. V_d ise sürekli durumda şebeke geriliminin genlik bilgisini verir (Sevilmiş ve Karaca, 2015; Xiong ve diğ., 2010; Adzic ve diğ., 2013).

$$V_q = V_m \sin(\theta - \theta^*) \quad (3)$$

$$V_d = V_m \cos(\theta - \theta^*) \quad (4)$$

Kapalı döngü kontrol sisteminde elde edilen faz açısı, Park dönüşümünün gerçekleştirilebilmesi için geri besleme yapılar abc/dq bloğuna aktarılır. Belirlenen faz açısı, şebekenin V_d geriliminin faz açısı ile aynı olmaktadır. SRF-PLL yöntemi, şebekenin faz açısının haricinde şebeke geriliminin genliği ve frekans bilgisini de vermektedir (Nicastri ve Nagliero, 2010; Sevilmiş ve Karaca, 2015).

SRF-PLL'nin döngü filtre tasarımında, elde edilen faz açısının şebekenin faz açısına hızlı kilitlenmesi ve iyi bir filtreleme karakteristiği göstermesi, sistemin dinamik performansı açısından oldukça önemlidir. Ancak, SRF-PLL'de bu iki durum aynı anda yerine getirilemez. İdeal koşullarda, filtrenin yüksek bant-genişliğine sahip olması, şebeke geriliminin genliğini ve faz açısını hızlı ve doğru bir şekilde belirlenmesini sağlar (Teodorescu ve diğ., 2011). Şebeke geriliminin yüksek dereceli harmonikler ile bozulması durumunda bant-genişliği azaltılarak SRF-PLL'nin kararlı çalışması sağlanır, fakat bu durumda senkronizasyon süresi artmaktadır. Şebeke geriliminde dengesizlikler baş gösterdiği zaman bant-genişliğinin azaltılması sistemi kararlı hala getiremez. Bu sorun, sisteme basit bir alçak geçiren filtre eklenmesiyle çözülebilir. Alçak geçiren filtre eklenmesi ile meydana gelen değişimler sistemin kararlılığını geliştirirken sistemin dinamik cevap tepkisini büyük ölçüde azaltmaktadır. Ayrıca, şebeke gerilimlerine, gerilim sensörlerinden kaynaklı DC-offset gerilimlerinin eklenmesi de sistemi kararsızlaştırır (Teodorescu ve diğ., 2011; Meersman ve diğ., 2010; Guerrero-Rodriguez ve diğ., 2014).

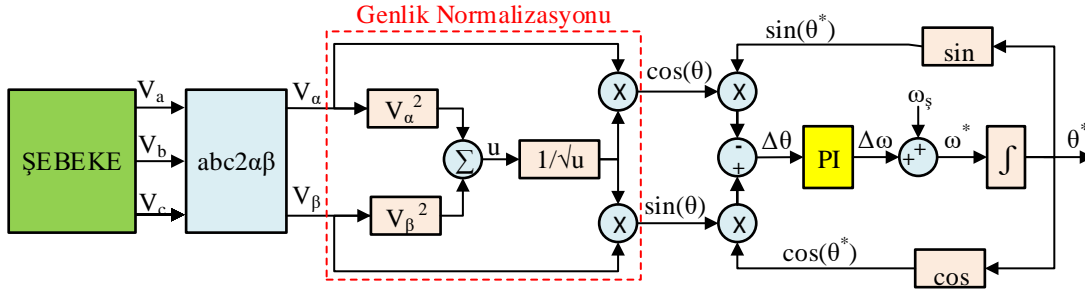
SRF-PLL'nin kontrol algoritmasında genellikle PI denetleyici kullanılmaktadır. PI denetleyici, sistemde aynı zamanda döngü filtresi olarak da çalışmakta olup V_q geriliminin denetimini sağlar ve sistemin dinamiklerini belirler. Şebekenin faz açısının hızlı ve doğru bir şekilde belirlenebilmesi için PI parametrelerinin uygun seçilmesi gerekir. Değişken koşullarda, PI parametrelerin uygun seçilmemesi durumunda belirlenen faz açısında hatalar meydana gelmekte ve sistem kararsız çalışmaktadır (Blaabjerg ve diğ., 2006; Adzic ve diğ., 2013; Sevilmiş, 2016).

Bu yöntem, ideal şebeke koşulları altında iyi bir tepki gösterirken, harmonikli ve/veya dengesiz şebeke durumu gibi olumsuzluklar meydana geldiği zaman şebekenin faz açısını belirlemede hatalara sebep olmaktadır (Nagliero ve diğ., 2009; Sevilmiş, 2016). İdeal olmayan şartlarda farklı filtreleme yapıları kullanılması gerekmektedir (Blaabjerg ve diğ., 2006; Nicastri ve Nagliero, 2010).

SRF-PLL yönteminin dengeli şebeke ve değişken frekanslı şebeke durumundaki etkinliği ile dengesiz ve harmonikli şebeke durumundaki yetersizliğini kanıtlayan sonuçlar, Bölüm 3'te verilmiştir.

$\alpha\beta$ -PLL

$\alpha\beta$ -PLL yöntemi (Teodorescu ve Blaabjerg, 2004; Hadjidemetriou ve diğ., 2013), SRF-PLL yönteminin bir çeşit varyasyonudur. Bu yöntemin önemli farklarından birisi Park dönüşümüne gereksinim duyulmamasıdır. SRF-PLL'den bir diğer farkı ise üç faz şebeke gerilimleri, abc eksen takımından $\alpha\beta$ eksen takımına dönüştürüldükten sonra genlik normalizasyonu yapılmasıdır. Şekil 3'te, $\alpha\beta$ -PLL yöntemin blok diyagramı görülmektedir.



Şekil 3. $\alpha\beta$ -PLL'nin blok yapısı
Figure 3. The block structure of the $\alpha\beta$ -PLL

$\alpha\beta$ -PLL yönteminde ilk önce üç faz şebeke gerilimleri ölçülür. Ölçülen bu gerilimler V_α ve V_β gerilimlerine çevrilerek genlik normalizasyonu yapılır. Genlik normalizasyonu sonucunda V_α gerilimine karşılık olarak $\cos(\theta)$, V_β gerilimine karşılık olarak $\sin(\theta)$ elde edilir. Döngüden elde edilen şebeke faz açısının (θ^*) sinüs ve cosinüs değerleri anlık olarak geri besleme yapılarak $\cos(\theta)$ ve $\sin(\theta)$ değerleri ile çarpılır. Bunun sonucunda;

$$\begin{aligned}\Delta\theta &= \sin(\theta)\cos(\theta^*) - \sin(\theta^*)\cos(\theta) \\ \Delta\theta &= \sin(\theta - \theta^*)\end{aligned}\quad (5)$$

elde edilir. $\theta^* = \theta$ olduğu zaman $\Delta\theta$ sıfır olur. $\Delta\theta$, PI denetleyici tarafından kontrol edilir. Genlik normalizasyonu yapılmasından dolayı PI katsayıları birim genliğe göre hesaplanmalıdır. Dengesiz ve harmonikli şebeke durumlarında $\Delta\theta$ sıfıra yakınsamamaktadır.

$\alpha\beta$ -PLL yöntemiyle elde edilen sonuçların SRF-PLL yöntemindekilere çok fazla benzediği, Bölüm 3'te gösterilmektedir.

DDSRF-PLL

Dengesiz şebeke gerilimlerinde, şebeke geriliminin pozitif sıralı ve negatif sıralı bileşenleri meydana gelmektedir. SRF-PLL ve $\alpha\beta$ -PLL yöntemleriyle bu bileşenler bağımsız olarak kontrol edilemediği için evirici ile şebeke arasındaki senkronizasyonda hatalar oluşmaktadır. Bağımsız dönen çift eksenli PLL (Decoupled double synchronous reference frame PLL, DDSRF-PLL) yönteminin temeli, şebeke geriliminin pozitif sıralı ve negatif sıralı bileşenlerinin dönüştürülmesine ve bağımsız olarak kontrol edilmesine dayanmaktadır. Bu yöntem, klasik SRF-PLL'de şebekenin faz açısı belirlenirken meydana gelen hataları ortadan kaldırmaktadır (Rodriguez ve diğ., 2007). Üstelik şebeke frekansı değişimlerine de çok iyi bir tepki göstermesinden dolayı rüzgâr enerji sistemlerinde kullanılabilir (Rodriguez ve diğ., 2005).

DDSRF-PLL, pozitif yönde dönen (açısı θ olan) dq^{+1} eksen takımından ve negatif yönde dönen (açısı $-\theta$ olan) dq^{-1} eksen takımından oluşmaktadır. dq^{+1} ve dq^{-1} eksen takımlarının bileşenleri (6) ve (7) nolu denklemler ile verilmiştir (Teodorescu ve diğ., 2011; Rodriguez ve diğ., 2007).

$$\begin{bmatrix} V_{d^{+1}} \\ V_{q^{+1}} \end{bmatrix} = \begin{bmatrix} V_{d^{+1}}^* \\ V_{q^{+1}}^* \end{bmatrix} + \begin{bmatrix} \cos(2\theta^*) & \sin(2\theta^*) \\ -\sin(2\theta^*) & \cos(2\theta^*) \end{bmatrix} \begin{bmatrix} \overline{V_{d^{-1}}} \\ \overline{V_{q^{-1}}} \end{bmatrix} \quad (6)$$

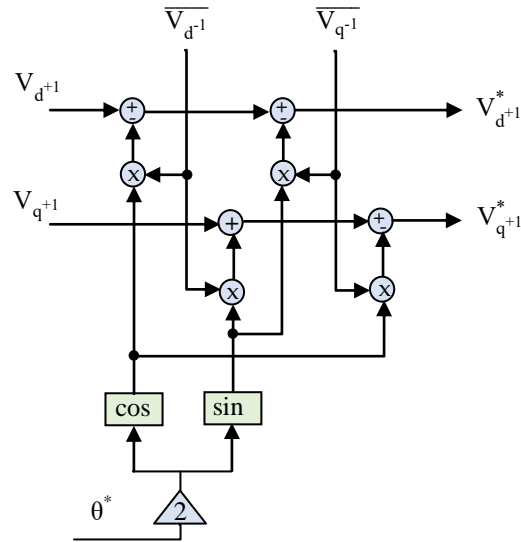
$$\begin{bmatrix} V_{d^{-1}} \\ V_{q^{-1}} \end{bmatrix} = \begin{bmatrix} V_{d^{-1}}^* \\ V_{q^{-1}}^* \end{bmatrix} + \begin{bmatrix} \cos(-2\theta^*) & \sin(-2\theta^*) \\ -\sin(-2\theta^*) & \cos(-2\theta^*) \end{bmatrix} \begin{bmatrix} \overline{V_{d^{+1}}} \\ \overline{V_{q^{+1}}} \end{bmatrix} \quad (7)$$

Denklemlerden görüldüğü gibi V_d ve V_q gerilimlerinin pozitif ve negatif sıralı bileşenlerine, bağımlı ikinci harmonik bileşenleri (2ω) eklenmektedir. Bu bağımlı bileşenler yok edilerek şebeke geriliminin pozitif ve negatif sıralı bileşenleri bağımsız bir şekilde elde edilir (Rodriguez ve diğ., 2007).

(6)-(7) nolu denklemler yeniden düzenlenerek (8) ve (9) nolu denklemlerdeki bağımsız bileşenler tespit edilir. Şekil 4 ve 5'te, bu bağımsız bileşenlere ait blok şema verilmiştir.

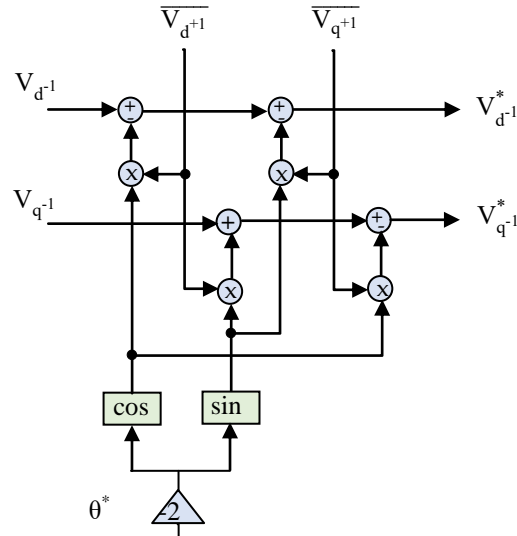
$$\begin{bmatrix} V_{d^{+1}}^* \\ V_{q^{+1}}^* \end{bmatrix} = \begin{bmatrix} V_{d^{+1}} \\ V_{q^{+1}} \end{bmatrix} - \begin{bmatrix} \cos(2\theta^*) & \sin(2\theta^*) \\ -\sin(2\theta^*) & \cos(2\theta^*) \end{bmatrix} \begin{bmatrix} \overline{V_{d^{-1}}} \\ \overline{V_{q^{-1}}} \end{bmatrix} \quad (8)$$

$$\begin{bmatrix} V_{d^{-1}}^* \\ V_{q^{-1}}^* \end{bmatrix} = \begin{bmatrix} V_{d^{-1}} \\ V_{q^{-1}} \end{bmatrix} - \begin{bmatrix} \cos(-2\theta^*) & \sin(-2\theta^*) \\ -\sin(-2\theta^*) & \cos(-2\theta^*) \end{bmatrix} \begin{bmatrix} \overline{V_{d^{+1}}} \\ \overline{V_{q^{+1}}} \end{bmatrix} \quad (9)$$



Şekil 4. dq^{+1} bağımsız bileşenlere ait blok şema

Figure 4. dq^{+1} decoupled component of the block diagram



Şekil 5. dq^{-1} bağımsız bileşenlere ait blok şema

Figure 5. dq^{-1} decoupled component of the block diagram

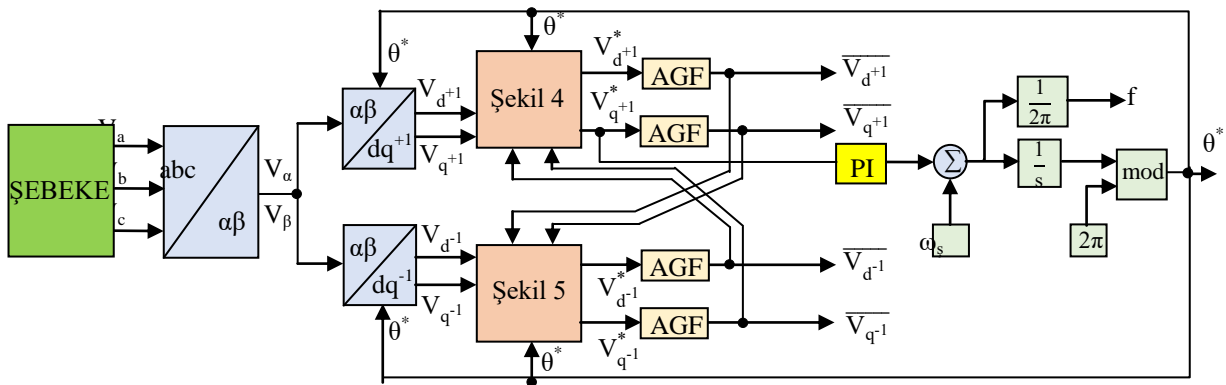
Şekil 6'da, DDSRF-PLL'nin blok yapısı verilmiştir. Bu blok yapısı, klasik SRF-PLL blok yapısının genişletilmiş şeklidir. DDSRF-PLL yöntemi ile pozitif sıralı gerilim bileşenin gerçek genlik değeri tam olarak elde edilmektedir. Şekildeki birinci dereceden alçak geçiren filtrenin (AGF) ifadesi (10) nolu denklem ile verilmiştir.

$$AGF(s) = \frac{\omega_f}{s + \omega_f} \quad (10)$$

Burada, ω_f filtrenin kesim frekansdır.

Şekil 6'daki pozitif sıralı bileşenler için kullanılan Park dönüşüm bloğunun matematiksel ifadesi $(\alpha\beta/dq^{+1})$, (2) nolu denklemdeki gibidir. Negatif sıralı bileşenler için kullanılan Park dönüşüm bloğunun matematiksel ifadesi $(\alpha\beta/dq^{-1})$ ise (11) nolu denklem ile verilmiştir.

$$\begin{bmatrix} V_{d^{-1}} \\ V_{q^{-1}} \end{bmatrix} = \begin{bmatrix} \cos(\theta^*) & -\sin(\theta^*) \\ \sin(\theta^*) & \cos(\theta^*) \end{bmatrix} \begin{bmatrix} V_{\alpha} \\ V_{\beta} \end{bmatrix} \quad (11)$$



Şekil 6. DDSRF-PLL'nin blok yapısı

Figure 6. The block structure of the DDSRF-PLL

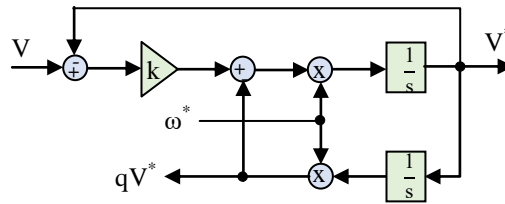
DSOGI-PLL

DSOGI-PLL yönteminde ilk önce 3-fazlı şebeke gerilimleri Clarke dönüşümü ile V_α ve V_β gerilimlerine dönüştürülür. Bu yöntemde, iki adet ikinci dereceden genelleştirilmiş integratör (Second order generalized integrator, SOGI) tabanlı quadratik sinyal üretici (Quadrature signal generator, QSG) kullanılır. SOGI-QSG kullanılmasının amacı filtreleme yapmak ve V_α ile V_β gerilimlerinin 90° 'lik ötelenmiş şeklini elde etmektir. Şekil 7'de SOGI-QSG'nin blok yapısı ve (12) nolu denklemde karakteristik transfer fonksiyonları verilmiştir (Rodriguez ve diğ., 2006a; Rodriguez ve diğ., 2006b).

$$D(s) = \frac{V^*}{V} = \frac{k\omega^*s}{s^2 + k\omega^*s + \omega^{*2}} \quad (12a)$$

$$Q(s) = \frac{qV^*}{V} = \frac{k\omega^{*2}}{s^2 + k\omega^*s + \omega^{*2}} \quad (12b)$$

Bu denklemlerde ω^* , SOGI-QSG'nin rezonans frekansını; k ise sönüm oranını ayarlar. k değerinin azaltılması filtrenin tepkisini iyileştirirken kararlılığa ulaşma zamanını uzatır. Yani, k 'nin değeri geri beslemeli sistemin bant genişliğini etkiler. Bu yüzden, kritik sönüm tepkisi $k = 2\xi = \sqrt{2}$ iken başarıya ulaşmaktadır (Rodriguez ve diğ., 2006a; Rodriguez ve diğ., 2006b; Ciobotaru ve diğ., 2006).



Şekil 7. SOGI-QSG'nin blok yapısı
Figure 7. The block structure of the SOGI-QSG

Üç fazlı gerilim vektörü, (13) nolu denklem ile ifade edilmektedir ve bu gerilimlerin pozitif sıralı bileşenleri (14) nolu denklem ile elde edilmektedir.

$$V_{abc} = \begin{bmatrix} V_a \\ V_b \\ V_c \end{bmatrix} = V_m \begin{bmatrix} \cos(\omega t) \\ \cos(\omega t - \frac{2\pi}{3}) \\ \cos(\omega t + \frac{2\pi}{3}) \end{bmatrix} \quad (13)$$

$$V_{abc}^+ = \begin{bmatrix} V_a^+ \\ V_b^+ \\ V_c^+ \end{bmatrix} = [T]V_{abc} \quad (14)$$

$$[T] = \frac{1}{3} \begin{bmatrix} 1 & a^2 & a \\ a & 1 & a^2 \\ a^2 & a & 1 \end{bmatrix}, \quad a = e^{-j\frac{2\pi}{3}}$$

V_α ile V_β gerilimlerinin pozitif sıralı bileşenlerini elde etmek için (1) ve (14) nolu denklemleri kullanarak V_{α^+} ve V_{β^+} gerilimleri (15)'teki gibi elde edilebilir.

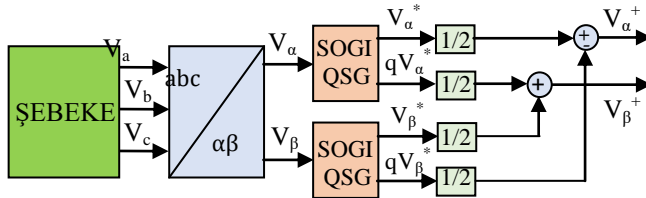
$$\begin{bmatrix} V_{\alpha^+} \\ V_{\beta^+} \end{bmatrix} = \frac{2}{3} \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix} [T] \begin{bmatrix} V_a \\ V_b \\ V_c \end{bmatrix}$$

$$= \frac{2}{3} \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix} [T] \left(\frac{2}{3} \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix} \right)^{-1} \begin{bmatrix} V_\alpha \\ V_\beta \end{bmatrix} \quad (15)$$

$$\begin{bmatrix} V_\alpha^+ \\ V_\beta^+ \end{bmatrix} = \frac{1}{2} \begin{bmatrix} 1 & -q \\ q & 1 \end{bmatrix} \begin{bmatrix} V_\alpha \\ V_\beta \end{bmatrix}, \quad q = e^{-j\frac{\pi}{2}}$$

Burada q , faz öteleme operatörüdür ve gerçek faz gerilimlerinden 90° geri fazlı gerilim elde etmeye yarar. Ayrıca, Şekil 7'de de görüldüğü gibi qV^* gerilimi k ve ω^* değerlerinden bağımsız olarak her zaman V^* geriliminden 90° geri fazdadır.

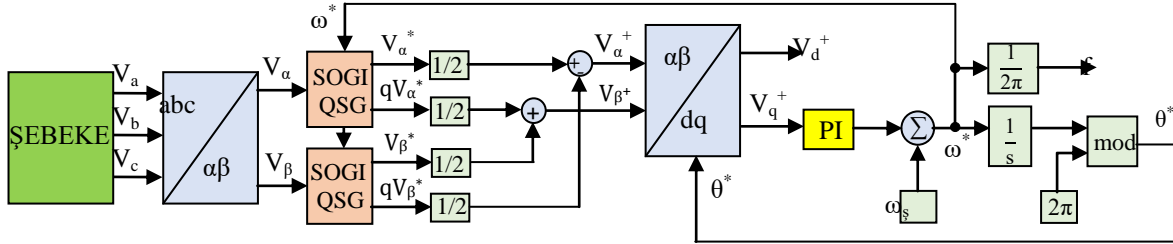
Şekil 8'de, V_α^+ ve V_β^+ gerilimlerini elde etmek için gerekli blok şema görülmektedir. Bu şemada, iki adet (dual) SOGI kullanıldığı için DSOGI olarak adlandırılmaktadır.



Şekil 8. $V_{\alpha\beta^+}$ gerilimlerinin elde edilmesine ait blok şema

Figure 8. Obtained the $V_{\alpha\beta^+}$ voltages of the block diagram

Daha sonra V_α^+ ve V_β^+ gerilimleri (2) nolu denklemdeki Park dönüşümü ile V_d^+ ve V_q^+ pozitif sıralı bileşenlerine çevrilir ve SRF-PLL algoritması sisteme ilave edilir. Şekil 9'da, DSOGI-PLL'nin blok yapısı verilmiştir. Bu blok yapıda tahmin edilen şebeke frekansı (ω^*), DSOGI-QSG'nin rezonans frekansına senkron olabilmesi için geri besleme yapılıır.



Şekil 9. DSOGI-PLL'nin blok yapısı

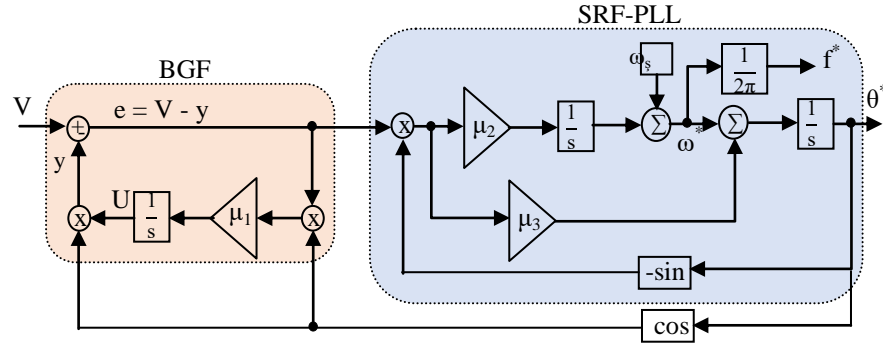
Figure 9. The block structure of the DSOGI-PLL

DSOGI-PLL, dengesiz ve harmonikli şebeke gerilimlerinde pozitif sıralı bileşenleri hızlı ve doğru bir şekilde belirlenmektedir ve şebeke senkronizasyonunda iyi bir çözüm sağlamaktadır. Üstelik şebeke arıza durumlarında bile etkili sonuç vermektedir (Rodriguez ve diğ., 2006a).

E-PLL

Geleneksel tek fazlı E-PLL (Enhanced-PLL) yöntemi (Karimi-Ghartemani ve Iravani, 2001), SRF-PLL ile bant geçiren filtre (BGF) yapılarının birleşiminden meydana gelmektedir. E-PLL, şebeke frekansı değişimlerine uyum sağlayabilen lineer olmayan bir senkronizasyon yöntemidir. BGF'nin üstün filtreleme kabiliyeti sayesinde dengesiz, harmonikli ve değişken frekanslı şebeke koşullarında şebeke geriliminin genlik, faz açısı ve frekansı hızlı ve doğru bir şekilde belirlenebilmektedir (Karimi-Ghartemani ve Iravani, 2002; Karimi-Ghartemani ve Iravani, 2004).

Şekil 10'da, tek fazlı E-PLL'nin blok yapısı verilmiştir ($V=V_m \cos(\theta)$). Şekilden de görüldüğü gibi tek fazlı şebeke gerilimi (V) ilk önce BGF'den geçirilir ve filtrelenmiş $y=U\cos(\theta^*)$ gerilimi elde edilir. İdeal şebeke koşullarında y , V ile aynı faz ve genlikte olmaktadır. Gerilim hatası ($e = V - y$), PI denetleyici tarafından kontrol edilmesi için SRF-PLL yapısına iletilmektedir. Ayrıca, y geriliminden 90° ileri ötelenmiş ve filtrelenmiş quadratik gerilim de elde edilmektedir ($U\cos(\theta^*+90^\circ) = -U\sin(\theta^*)$).



Şekil 10. Tek fazlı E-PLL'nin blok şeması

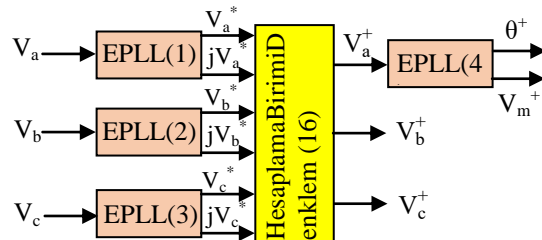
Figure 10. Block scheme of the single-phase EPLL

E-PLL'nin dinamik tepkisini kontrol eden üç adet sabit (μ_1 , μ_2 ve μ_3) vardır. μ_1 , oransal (P) denetleyici gibi çalışmakta olup U geriliminin kararlılığını sağlamaktadır. μ_1 değerinin artırılması U geriliminin yakınsama hızını artırırken U geriliminde dalgalanmalara neden olmaktadır. Bu yüzden, hız ile doğruluk arasında ödünleşim (trade-off) vardır. μ_2 ve μ_3 sabitleri ise sırasıyla giriş geriliminin frekansının ve faz açısının yakınsama hızını kontrol etmektedir.

Şekil 11'de, üç-fazlı E-PLL'nin blok şeması verilmiştir (Karimi-Ghartemani ve Iravani, 2004; Karimi-Ghartemani, 2014). SRF-PLL'nin aksine E-PLL yönteminde Clarke ($\alpha\beta$) ve Park (dq) dönüşümlerine gerek yoktur. Üç fazlı EPLL yönteminde her bir faza (V_a , V_b ve V_c) ayrı ayrı EPLL uygulanır ve her bir faz gerilimlerinin filtrelenmiş (V_a^* , V_b^* ve V_c^*) ve 90° ileri ötelenmiş (filtrelenmiş) halleri (jV_a^* , jV_b^* ve jV_c^*) elde edilir. EPLL(1), EPLL(2) ve EPLL(3) blokları çıkışında elde edilen 6-adet gerilim, hesaplama birimine gönderilir. Hesaplama biriminde, quadratik gerilimler kullanılarak anlık simetrik bileşenler (instantaneous-symmetrical-components, ISC) yöntemi işletilir ve üç-fazlı şebeke gerilimlerinin pozitif sıralı bileşenleri (V_{abc}^+) elde edilir. ISC yöntemine göre pozitif sıralı bileşenler aşağıdaki gibi elde edilir (Luna ve diğ., 2015).

$$\begin{aligned} V_a^+ &= \frac{1}{3}V_a^* - \frac{1}{6}(V_b^* + V_c^*) + \frac{1}{2\sqrt{3}}j(V_b^* - V_c^*) \\ V_b^+ &= -(V_a^+ + V_c^+) \\ V_c^+ &= \frac{1}{3}V_c^* - \frac{1}{6}(V_a^* + V_b^*) + \frac{1}{2\sqrt{3}}j(V_a^* - V_b^*) \end{aligned} \quad (16)$$

Burada, j faz öteleme operatörüdür. Şebeke gerilimlerinin 90° ileri fazlı halleri j çarpanı ile ifade edilir. Şekil 11'den görüldüğü gibi şebeke gerilimlerinin pozitif sıralı bileşenleri elde edildikten sonra dördüncü bir E-PLL kullanılarak şebeke geriliminin genlik (V_m^+) ve faz açısı (θ^+) tespit edilmektedir.



Şekil 11. Üç fazlı E-PLL'nin blok şeması

Figure 11. Block scheme of the three-phase EPLL

BENZETİM SONUÇLARI (SIMULATION RESULTS)

Bu bölümde, faz kilitleme döngüsü yöntemlerinin performansları farklı koşullar altında test edilmiştir. Bunlar; dengesiz şebeke durumu, harmonikli şebeke durumu ve değişken frekanslı şebeke durumudur. PLL yöntemlerinin benzetimi, MATLAB/Simulink ortamında gerçekleştirilmiştir. Tüm simülasyonlarda, 0,1 saniyeye kadar şebeke dengeli olup faz gerilimleri 220 V (faz-nötr) ve 50 Hz'ye ayarlanmıştır. PLL yöntemlerinin performansını gözlemleyebilmek için 0,1-0,2 saniye zaman aralığında anormal test koşulları oluşturulmuştur ve 0,2. saniyeden sonra şebeke tekrar dengeli hale getirilmiştir. Tüm şekillerde 1. satır şebeke gerilimlerini, 2. satır tespit edilen temel şebeke genliğini, 3. satır faz açısı hatasını ve 4. satır ise tespit edilen temel şebeke frekansını ifade etmektedir.

Çizelge 1'de her bir PLL yöntemi için kullanılan PI parametreleri verilmiştir. PI parametreleri, PLL yöntemlerinin oturma süresi (t_s) 40 ms ve sönüm oranı (ξ) 0.707 olacak şekilde ayarlanmıştır. Sadece DSOGI-PLL'de yer alan k katsayısı 2ξ olarak alınmıştır.

Çizelge 1. PLL'nin PI parametreleri

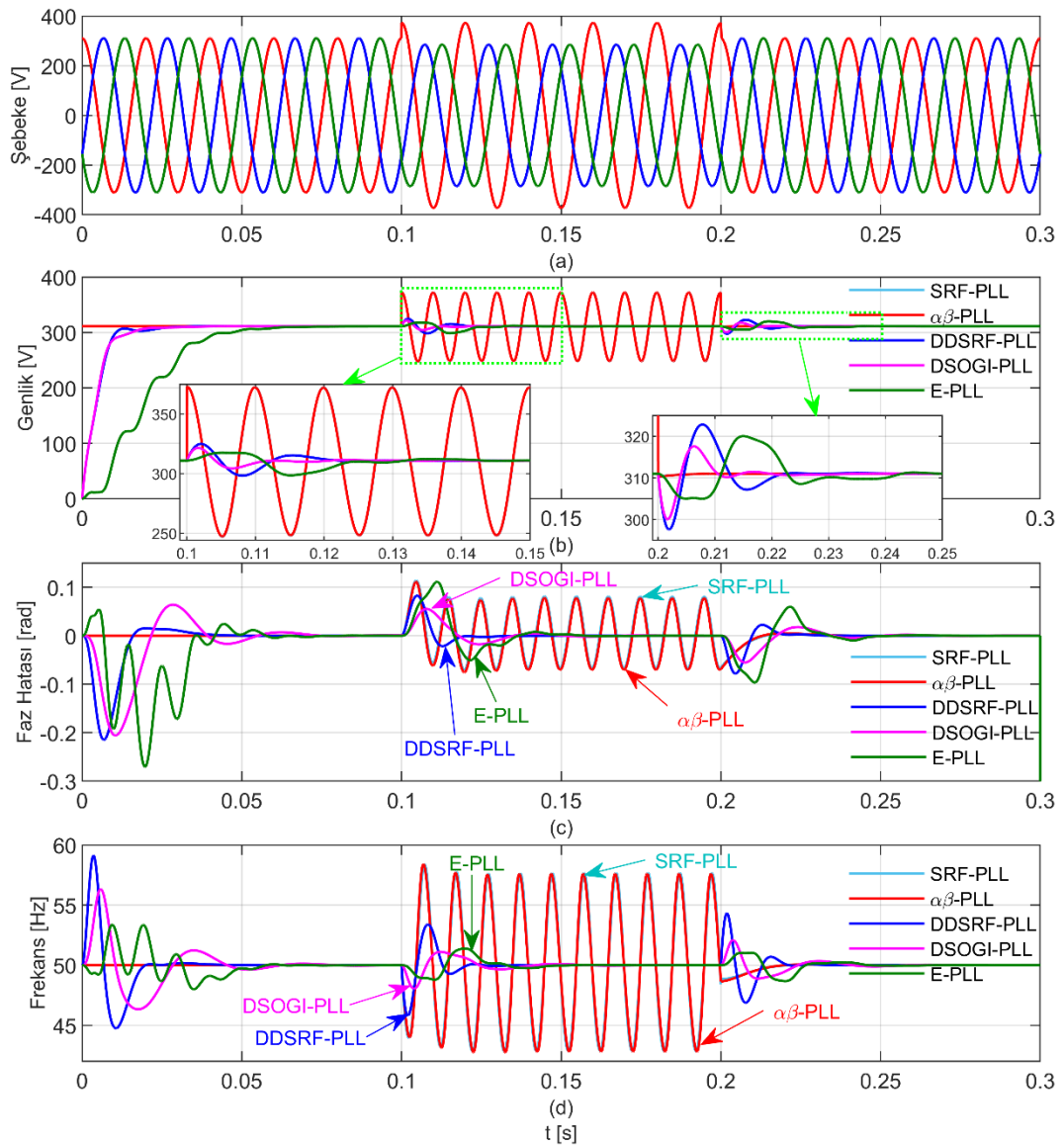
Table 1. PI parameters of the PLL

PLL Yöntemi	K_P	K_I	$\mu_1-\mu_2-\mu_3$
SRF-PLL	0,74	85,05	-
$\alpha\beta$ -PLL	230,14	26450,55	-
DDSRF-PLL	0,74	85,05	-
DSOGI-PLL	0,74	21,26	-
E-PLL	-	-	250-200,96-1,61

Dengesiz Şebeke Durumu (Unbalanced Grid Condition)

Bu kısımda, şebeke gerilimlerinde dengesizlik meydana geldiği durumda, PLL yöntemlerinin verdiği tepki test edilmiştir. Şekil 12(a)'da görüldüğü gibi dengesiz şebeke olarak A-fazı için 265 V faz-nötr gerilimi, B-fazı ve C-fazı için 200 V faz-nötr gerilimi kullanılmıştır. Şebeke gerilimlerinde dengesizlik meydana geldiği zaman SRF-PLL ve $\alpha\beta$ -PLL yöntemleri, şebeke faz açısını belirlemede hatalara sebep olmaktadır.

Ayrıca, şebeke fazının pozitif sıralı ve negatif sıralı bileşenleri bağımsız bir şekilde elde edilemediği için genlik, faz açısı ve frekansta 2. harmonik bileşenin etkisi net bir şekilde görülmektedir. DDSRF-PLL, DSOGI-PLL ve E-PLL yöntemlerinde ise şebeke fazının pozitif sıralı ve negatif sıralı bileşenleri bağımsız bir şekilde elde edildiği için 2. harmonik bileşen etkisi ortadan kalkmaktadır. Bu sayede, şebeke genliği, faz açısı ve frekansı hatasız bir şekilde belirlenmektedir. Şekil 12(b)'de görüldüğü gibi DDSRF-PLL ve DSOGI-PLL gerilim dengesizliklerine karşı hızlı bir tepki göstererek kararlılığa ulaşmaktadır. E-PLL, daha yavaş bir şekilde kararlılığa ulaşmaktadır. Ayrıca, DSOGI-PLL en düşük maksimum aşma (%3,4) ile genlik bilgisini elde etmektedir. Şekil 12(c)'deki faz hatalarına bakıldığında DDSRF-PLL en küçük oturma süresine (30 ms) sahip iken DSOGI-PLL en küçük maksimum aşmaya (3,15°) sahiptir. Şekil 12(d)'de görüldüğü gibi DDSRF-PLL daha hızlı kararlılığa ulaşırken (30 ms), DSOGI-PLL daha düşük aşma (%4) ile frekansı ortaya çıkarmaktadır. DSOGI-PLL ile E-PLL'nin oturma süresi 50 ms civarındadır. Genel olarak, dengesiz şebeke durumunda DDSRF-PLL hızlı tepkisi ile ön plana çıkarken DSOGI-PLL düşük aşma yüzdesi ile ön plana çıkmaktadır. SRF-PLL ve $\alpha\beta$ -PLL'nin dengesiz şebeke durumunda performanslarının kabul edilebilir olmadığı ve aşırı derecede salınımlara sebebiyet verdiği açıkça ortaya çıkmıştır.



Şekil 12. Dengesiz şebeke durumunda PLL yöntemlerinin performansı

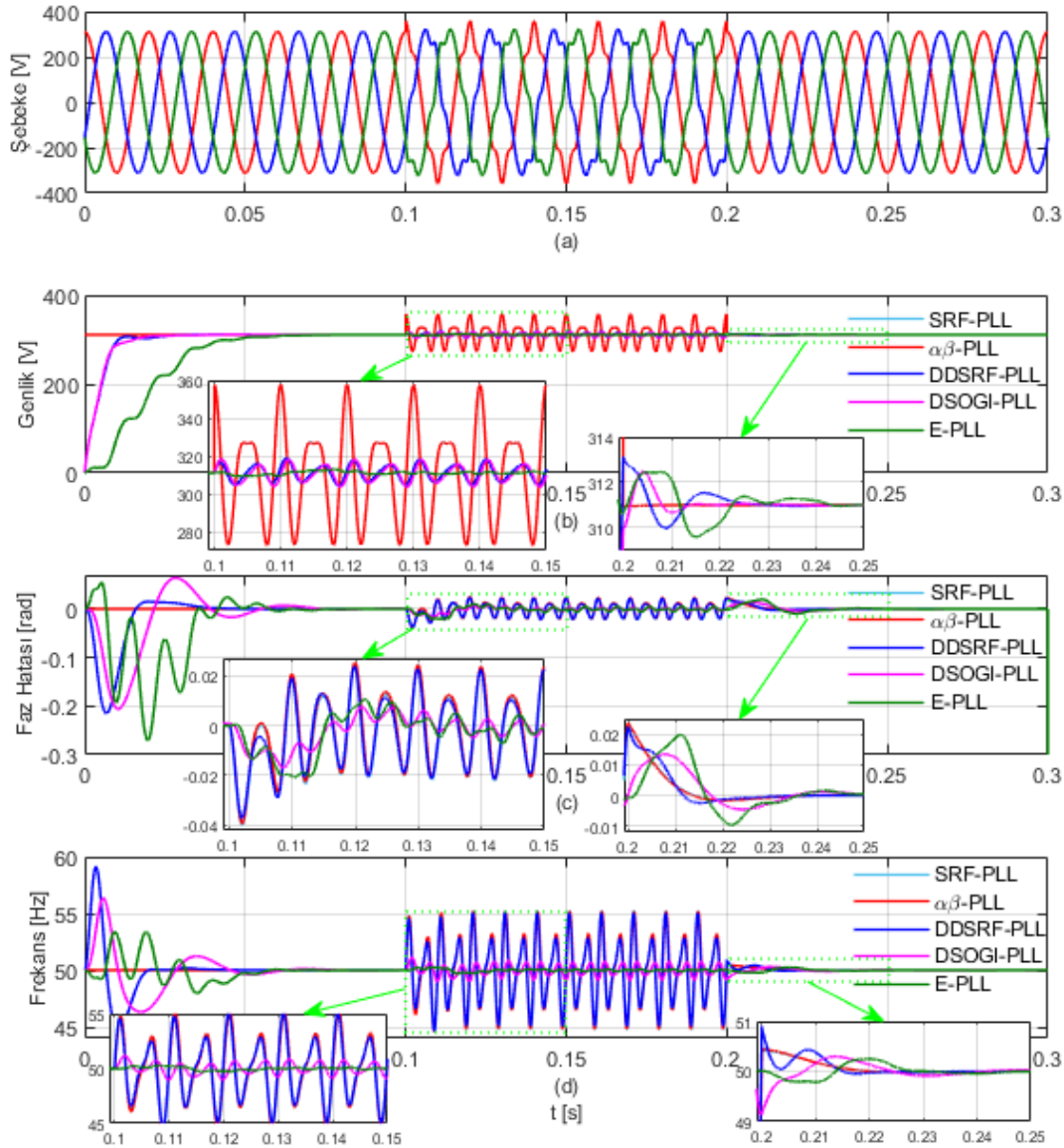
Figure 12. Performances of the PLL methods under unbalanced grid condition

Harmonikli Şebeke Durumu (Grid Condition with Harmonics)

Bu testte, Şekil 13(a)'da görüleceği üzere şebeke gerilimlerine 5. ve 7. harmonik bileşenler eklenerek PLL yöntemlerinin gösterdikleri tepkiler incelenmiştir. 5. ve 7. harmonik bileşenlerin genliği sırasıyla şebeke geriliminin %10'una (22 V) ve %5'ine (11 V) tekabül etmektedir.

Şebeke gerilimleri dengeli olup şebeke frekansında değişim meydana gelmemektedir. Şekillerden de anlaşılacağı üzere harmonikli şebeke durumunda bağımsızlığı en fazla olan yöntem, bant geçiren filtreye sahip olmasından dolayı E-PLL'dir. Şekil 13(b)'ye bakıldığında SRF-PLL ile $\alpha\beta$ -PLL ve DDSRF-PLL ile DSOGI-PLL benzer genlik dalgalanmalarına sahiptir. Şekil 13(c)'deki faz hataları incelendiğinde, SRF-PLL, $\alpha\beta$ -PLL ve DDSRF-PLL'nin; DSOGI-PLL ve E-PLL'nin benzer tepkilere sahip olduğu anlaşılmaktadır. Şekil 13(d)'de ise SRF-PLL, $\alpha\beta$ -PLL ve DDSRF-PLL'nin benzer frekans dalgalanmalarına sebebiyet verdiği, E-PLL'nin neredeyse hiç dalgalanmadan frekansı tespit ettiği ve DSOGI-PLL'nin ortalama bir başarıya sahip olduğu net bir şekilde görülmektedir. Şekil 13, E-PLL'nin harmoniklere karşı performansının diğer yöntemlere çok üstün olduğunu ve çok düşük hata ile genlik, faz açısı ve frekansı tespit ettiğini kanıtlamaktadır. DDSRF-PLL, genlik değerini SRF-PLL ve $\alpha\beta$ -PLL'ye göre daha doğru

tespit etmesine rağmen faz açısı ve frekans tespitinde SRF-PLL ve $\alpha\beta$ -PLL ile benzer hatalara sahip olduğu anlaşılmaktadır. DSOGI-PLL'nin ise ortalama bir başarıya sahip olduğu görülmektedir.



Şekil 13. Harmonikli şebeke durumunda PLL yöntemlerinin performansı

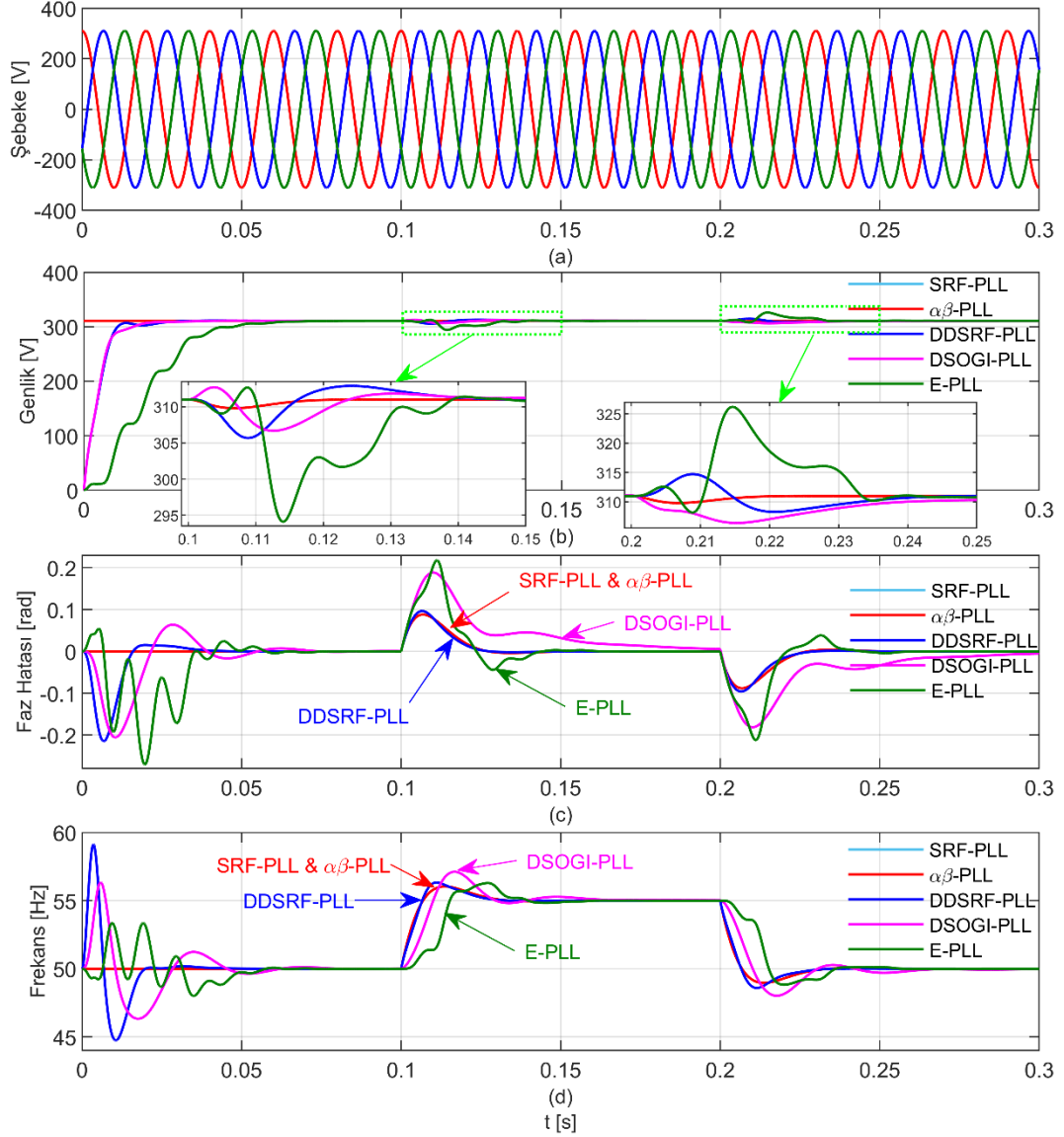
Figure 13. Performances of the PLL methods under grid condition with harmonics

Değişken Frekanslı Şebeke Durumu (Frequency Changes Grid Condition)

Son testte, şebeke frekansında değişimler meydana getirilerek PLL yöntemlerinin performansları incelenmiştir. Şekil 14(a)'da test aralığında şebeke gerilimlerinin frekansı 50 Hz'den 55 Hz'ye yükseltilmiştir ve sonra frekans tekrar 50 Hz'ye düşürülmüştür. Şebeke gerilimlerinin dengeli olduğu ve harmonik vb. bozucu etkilerin olmadığı varsayılmıştır.

Şekil 14(b)'den anlaşıldığı gibi SRF-PLL ve $\alpha\beta$ -PLL en düşük aşmaya (%0,4), E-PLL ise en büyük aşmaya (%5,5) sahiptir. Şekil 14(c)-(d) incelendiğinde SRF-PLL, $\alpha\beta$ -PLL ve DDSRF-PLL'nin, daha düşük oturma süresine (35 ms) ve maksimum aşmaya sahip olduğu net bir şekilde görülmektedir. DSOGI-PLL'nin yüksek aşma miktarlarına ulaştığı ve senkronizasyon süresinin çok uzun olduğu anlaşılmaktadır. E-PLL'nin ise ortalama bir başarısının olduğu ortaya çıkmaktadır. İncelenen tüm PLL yöntemlerinde sürekli durum hatası yoktur. Böylece, tüm PLL yöntemleri ile şebekenin genlik, faz açısı ve frekansı hatasız bir şekilde belirlenebilmektedir. Özetlemek gerekirse, SRF-PLL, $\alpha\beta$ -PLL ve DDSRF-

PLL'nin frekans değişimlerine karşı daha hızlı adapte olabildiği, DSOGI-PLL'nin kararlılığa ulaşma süresinin oldukça uzun olduğu ve E-PLL'nin performansının DSOGI-PLL'ye göre göreceli olarak daha iyi olduğu anlaşılmıştır.



Şekil 14. Değişken frekanslı şebeke durumunda PLL yöntemlerinin performansı

Figure 14. Performances of the PLL methods under frequency changes grid condition

SEMBOLLER(SYMBOLS)

- f : Frekans
- k : Sönüm oranı faktörü
- K_p : Oransal katsayı
- K_i : İntegral katsayısı
- t_s : Oturma süresi
- V_a : Şebeke A-fazı
- V_b : Şebeke B-fazı
- V_c : Şebeke C-fazı
- V_d : d-gerilimi
- V_g : Giriş gerilimi

- V_q : q-gerilimi
 V_α : α -gerilimi
 V_β : β -gerilimi
 V_m : Maksimum gerilim
 V_{abc^+} : Üç faza ait pozitif sıralı bileşenler
 ω : Açısız frekans
 ω_f : Filtre kesim frekansı
 ω_s : Şebeke açısız frekansı
 ω^* : Rezonans frekans
 θ : Şebeke geriliminin faz açısı
 θ^* : Tahmin edilen faz açısı
 q : Faz öteleme operatörü
 ξ : Sönüm oranı katsayısı
 $\Delta\theta$: Faz açısı değişimi
 μ_1, μ_2, μ_3 : Denetleyici sabitleri

SONUÇLAR (CONCLUSIONS)

Bu çalışmada, şebeke senkronizasyonu için farklı faz kilitleme döngüsü yöntemleri karşılaştırmalı olarak sunulmuştur. Ele alınan tüm PLL yöntemlerinin, MATLAB/Simulink'te benzetimi yapılmıştır ve farklı koşullar altında performansları incelenmiştir.

Elde edilen bulgular sonucunda SRF-PLL ve $\alpha\beta$ -PLL, basitliği, kolay uygulanabilirliği, dengeli ve değişken frekanslı şebekelerdeki tepkisi ile ön plana çıkmaktadır. Fakat dengesiz ve/veya harmonikli şebeke gerilimleri gibi olumsuz durumlarda sistemin kararlılığı oldukça kötüleşmektedir. Diğer yandan, DDSRF-PLL, DSOGI-PLL ve E-PLL yöntemlerinin pozitif sıralı bileşeni tam olarak ortaya çıkarabilmesi ve filtreleme kabiliyetlerinin yüksek oluşundan dolayı bu tür olumsuz durumlara karşı tepkileri ve doğrulukları arzu edilen düzeydedir. Fakat özellikle harmonikli şebeke durumunda DDSRF-PLL'nin performansının tatmin edici olmadığı ortadadır. Genel olarak, E-PLL'nin diğer yöntemlere göre daha yüksek aşma ve uzun oturma süresine sahip olmasına rağmen harmoniklere karşı bağışıklığı oldukça iyidir. DDSRF-PLL'nin frekans değişimlerine karşı tepkisinin çok iyi olduğu, DSOGI-PLL'nin ise uzun senkronizasyon süresi ile frekans değişimlerine yavaş adapte olabildiği sonucuna varılmaktadır. Karşılaştırmalı benzetimler neticesinde elde edilen sonuçlar, çalışılacak şebekeye göre tercih edilmesi gereken PLL yönteminin önemini açıkça ortaya koymaktadır.

KAYNAKLAR(REFERENCES)

- Adzic, E., Porobic, V., Dumnic, B., Celanovic, N., Katic, V., "PLL Synchronization in Grid-connected Converters", *The 6th PSU-UNS International Conference on Engineering and Technology (ICET-2013)*, Novi Sad, Serbia, 1-5, 15-17 May 2013.
- Amin, M. M., Mohammed O. A., "Software Phase Locked Loop Technique for Grid-connected Wind Energy Conversion Systems", *IEEE 12th Workshop on Control and Modeling for Power Electronics (COMPEL)*, Boulder, USA, 1-8, 28-30 June 2010.
- Appleton, E. V., 1923, "Automatic Synchronization of Triode Oscillators", *Proc. Cambridge Phil. Soc.*, Vol.21, No.3, pp. 231.
- Aydemir, M., 2014, *Rüzgâr Türbinlerinde Kullanılan DA/AA Evirici Modellenmesi ve Analizi*, Yüksek Lisans Tezi, Gebze Yüksek Teknoloji Enstitüsü, Kocaeli.
- Bellesize, H. de, 1932, "La Reception Synchrone", *OndeElectr.*, Vol. 11, pp. 230-240.
- Blaabjerg, F., Teodorescu, R., Liserre, M., Timbus, A., 2006, "Overview of Control and Grid Synchronization for Distributed Power Generation Systems", *IEEE Transactions on Industrial Electronics*, Vol.53, No. 5, pp. 1398-1409.

Ciobotaru, M., Teodorescu, R., Blaabjerg, F., "A New Single-Phase PLL Structure Based on Second Order Generalized Integrator", *IEEE Power Electronics Specialists Conference (PESC'06)*, Jeju, South Korea, 1-6, 18-22 June 2006.

Devi, R. J., Kadam, S. S., 2015, "Phase Locked Loop for Synchronization of Inverter with Electrical Grid: A Survey", *International Journal of Engineering Research & Technology (IJERT)*, Vol. 4, No. 2, 352-358.

Freijedo, F. D., Doval-Gandoy, J., Lopez, O., Martinez-Penalver, C., Yepes, A. G., Fernandez-Comesana, P., Malvar, J., Nogueiras, A., Marcos, J., Lago, A., "Grid-synchronization Methods for Power Converters", *IECON'09: 35th Annual Conference of IEEE Industrial Electronics*, Vigo, Spain, 522-529, 3-5 November 2009.

Guerrero-Rodriguez, N. F., Rey-Boue, A. B., Rigas, A., Kleftakis, V., "Review of Synchronization Algorithms Used in Grid-connected Renewable Agents", *International Conference on Renewable Energies and Power Quality (ICREPQ'14)*, Cordoba, Spain, 1-6, 8-10 April 2014.

Hadjidemetriou, L., Kyriakides, E., Blaabjerg, F., 2013, "A New Hybrid PLL for Interconnecting Renewable Energy Systems to the Grid," *IEEE Trans. Ind. Appl.*, Vol. 60, No. 6, pp. 2709-2719.

Iov, F., Blaabjerg, F., "Power Electronics Control of Wind Energy in Distributed Power Systems", *11th International Conference on Optimization of Electrical and Electronics Equipment (OPTIM)*, Brasov, Romania, 29-44, 22-24 May 2008.

Karimi-Ghartemani, M., Iravani, M. R., "A New Phase-locked Loop (PLL) System", *Proceedings of the 44th IEEE Midwest Symposium on Circuits and Systems*, Dayton, OH, USA, 421-424, 14-17 August 2001.

Karimi-Ghartemani, M., Iravani, M. R., 2002, "A Nonlinear Adaptive Filter for Online Signal Analysis in Power Systems: Applications", *IEEE Transactions on Power Delivery*, Vol. 17, No. 2, 617-622.

Karimi-Ghartemani, M., Iravani, M. R., 2004, "A Method for Synchronization of Power Electronic Converters in Polluted and Variable-frequency Environments", *IEEE Transactions on Power Systems*, Vol. 19, No. 3, 1263-1270.

Karimi-Ghartemani, M., 2014, *Enhanced Phase-locked Loop Structures for Power and Energy Applications*, Wiley-IEEE Press.

Luna, A., Rocabert, J., Candela, J. I., Hermoso, J. R., Teodorescu, R., Blaabjerg, F., Rodriguez, P., 2015, "Grid Voltage Synchronization for Distributed Generation Systems under Grid Fault Conditions", *IEEE Transactions on Industry Applications*, Vol. 51, No. 4, 3414-3425.

Meersman, B., De Kooning, J., Vandoor, T., Degroote, L., Renders, B., Vandeveld, L., "Overview of PLL Methods for Distributed Generation Units", *2010 45th International Universities Power Engineering Conference (IUPEC)*, Cardiff, Wales, 1-6, 31 August-3 September 2010.

Nagliero, A., Mastromauro, R. A., Liserre, N., Dell'Aquila, A., "Synchronization Techniques for Grid Connected Wind Turbines", *IEEE Annual Conference of Industrial Electronics 35th (IECON)*, Porto, Portugal, 4606-4613, 3-5 November 2009.

Nicastro, A., Nagliero, A., "Comparison and Evaluation of the PLL Techniques for the Design of the Grid-connected Inverter Systems", *IEEE International Symposium on Industrial Electronics (ISIE)*, Bari, Italy, 3865-3870, 4-7 July 2010.

Rodriguez, P., Pou, J., Bergas, J., Candela, J. I., Burgos, R., Boroyevich, D., "Double Synchronous Reference Frame PLL for Power Converters Control", *IEEE 36th Power Electronics Specialists Conference (PESC)*, Recife, Brazil, 1415-1421, 16 June 2005.

Rodriguez, P., Teodorescu, R., Candela, I., Timbus, A. V., Liserre, M., Blaabjerg, F., "New Positive Sequence Voltage Detector for Grid Synchronization of Power Converters Under Faulty Grid Conditions", *IEEE Power Electronics Specialists Conference (PESC'06)*, 1-7, 18-22 June 2006a.

Rodriguez, P., Luna, A., Ciobotaru, M., Teodorescu, R., Blaabjerg, F., "Advanced Grid Synchronization System for Power Converters under Unbalanced and Distorted Operating Conditions", *32nd Annual Conference on IEEE Industrial Electronics, IECON 2006*, Paris, France, 5173-5178, 6-10 November 2006b.

Rodriguez, P., Pou, J., Bergas, J., Candela, J. I., Burgos, R. P., Boroyevich, D., 2007, "Decoupled Double Synchronous Reference Frame PLL for Power Converters Control", *IEEE Transactions on Power Electronics*, Vol. 22, No. 2, pp. 584-592.

Rodriguez, P., Luna, A., Ciobotaru, Candela, I., Teodorescu, R., Blaabjerg, F., "Grid Synchronization of Power Converters using Multiple Second Order Generalized Integrators", *34th IEEE Annual Conference of Industrial Electronics, IECON 2008*, Orlando, USA, 755-760, 10-13 November 2008.

Sevilmiş, F., Karaca, H., "Simulation of Three-phase Grid Interactive Inverter for Wind Energy Systems", *2015 IEEE 15th International Conference on Environment and Electrical Engineering Conference Proceedings*, Rome, Italy, 1169-1174, 10-13 June 2015.

Sevilmiş, F., 2016, *Rüzgâr Enerji Sistemlerinin Şebekeye Senkronize Edilmesi*, Yüksek Lisans Tezi, Selçuk Üniversitesi, Fen Bilimleri Enstitüsü, Konya.

Teodorescu, R., Blaabjerg, F., 2004, "Flexible Control of Small Wind Turbines with Grid Failure Detection Operating in Stand-Alone and Grid-Connected Mode" *IEEE Transactions on Power Electronics*, Vol. 19, No. 5, pp. 1323 – 1332.

Teodorescu, R., Liserre, M., Rodriguez, P., 2011, *Grid Converters for Photovoltaic and Wind Power Systems*, John Wiley & Sons, Ltd, Publication, United Kingdom.

Timbus, A., Teodorescu, R., Blaabjerg, F., Liserre, M., "Synchronization Methods for Three Phase Distributed Power Generation Systems. An Overview and Evaluation", *IEEE 36th Power Electronics Specialists Conference (PESC)*, Recife, Brazil, 2474-2481, 16 June 2005.

Xiong, F., Yue, W., Ming, L., Ke, W., Wanjun, L., "A Novel PLL for Grid Synchronization of Power Electronics Converters in Unbalanced and Variable-frequency Environment", *2010 2nd IEEE International Symposium on Power Electronics for Distributed Generation Systems*, Hefei, China, 466-471, 16-18 June 2010.